

**SEMICONDUCTOR DEVICE**

**Publication Number:** 01-117070 (JP 1117070 A) , May 09, 1989

**Inventors:**

- USAGAWA TOSHIYUKI
- YAMANE MASAO
- KOBAYASHI MASAYOSHI

**Applicants**

- HITACHI LTD (A Japanese Company or Corporation), JP (Japan)

**Application Number:** 62-273143 (JP 87273143) , October 30, 1987

**International Class (IPC Edition 4):**

- H01L-029/80
- H01L-029/203

**JAPIO Class:**

- 42.2 (ELECTRONICS--- Solid State Components)

**JAPIO Keywords:**

- R095 (ELECTRONIC MATERIALS--- Semiconductor Mixed Crystals)

**Abstract:**

**PURPOSE:** To remove noises in low frequency by forming a semiconductor layer having electron affinity smaller than a semiconductor layer and impurity concentration lower than the semiconductor layer onto the semiconductor layer and shaping a P-type semiconductor layer into a gate region in the former semiconductor layer.

**CONSTITUTION:** Undoped GaAs 11, N-type GaAs 12 containing Si, undoped Al(sub x)Ga(sub 1-x)As 13 and a P-type GaAs layer 16 including Be are formed successively onto a semi-insulating GaAs substrate 10. A gate region is etched, and SiO(sub 2) layers 23 are applied onto the sidewalls of a gate stepped section. A gate electrode metal 22 is shaped through a lift-off process. N(sup +) GaAs 17 is grown selectively in a drain region, and AuGe/Ni/Au source-drain electrodes 20, 21 are formed. (From: *Patent Abstracts of Japan*, Section: E, Section No. 803, Vol. 13, No. 356, Pg. 82, August 09, 1989 )

**JAPIO**

© 2004 Japan Patent Information Organization. All rights reserved.  
Dialog® File Number 347 Accession Number 2819470

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A)

平1-117070

⑬ Int. Cl.<sup>4</sup>H 01 L 29/80  
29/203  
29/80

識別記号

庁内整理番号

B-8122-5F  
8526-5F  
H-8122-5F

⑭ 公開 平成1年(1989)5月9日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-273143

⑰ 出 願 昭62(1987)10月30日

⑱ 発 明 者 宇 佐 川 利 幸 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 山 根 正 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 小 林 正 義 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 中村 純之助

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. 半導体層 I 上に、該半導体層 I よりも電子親和力が小さく不純物濃度が低い半導体層 II を形成し、上記半導体層 II のゲート領域以外を除きして残った上記半導体層 II 上に、p 型半導体層 III を形成してゲート電極とし、上記半導体層 I を能動層とするソース、ドレイン電極を上記半導体層 I 上に設けた半導体装置。

2. 上記能動層は、半導体層 I のゲート領域以外のソース、ドレイン領域に、n<sup>+</sup>層半導体を形成して寄生抵抗を低減したことを特徴とする特許請求の範囲第1項に記載した半導体装置。

3. 上記能動層は、2次元電子ガスで形成されていることを特徴とする特許請求の範囲第1項に記載した半導体装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、1/f ノイズ低減に好適な、化合物半導体を能動層として用いた電界効果型の半導体装置に関するものである。

## 〔従来の技術〕

砒化ガリウム (GaAs) とアルミニウム・砒化ガリウム (AlGaAs) とのヘテロ接合界面に形成される2次元状担体を、電界効果型トランジスタ (2DEG-FET)、例えば宇佐川、三島：電子情報通信学会論文誌、C、Vol. J70-C、No. 5、pp. 716~723 (1987) について検討し、低周波 (1 Hz~1 MHz) でのノイズ指数を調べたところ、1) ショットキーゲート金属のショットキー接合に起因する1/f ノイズ、および 2) AlGaAs 中の DX センター (例えば文献 M. O. Watanabe 他 "Donor Level in Si-Doped AlGaAs Grown by MBE" : ジャパニーズ・ジャーナル・オブ・アプライド・フィジックス、23 (1984)、U103) に起因する1/f ノイズがみられた。従来、GaAs MESFET (Metal

BEST AVAILABLE COPY

Semiconductor Field Effect Transistor) は、ショットキー接合やGaAs結晶欠陥、または深い準位等に起因すると思われる低周波での雑音発生のため、低周波低雑音電界効果半導体装置に用いられることがなかった。

〔発明が解決しようとする問題点〕

従来の化合物半導体電界効果型トランジスタにおける低周波(10~100MHz)雑音の発生原因を調べたところ、つぎに示す6つの原因が主なものであることが判明した。すなわち雑音は、(1) n型 $Al_xGa_{1-x}As$ 中のDXセンター等が10mV程度の準位、(2) ショットキー接合ゲート電極と半導体界面との浅い準位、(3) ソース(ドレイン)・ゲート間隙部分の表面空乏層に起因する不準物の準位、(4) イオン注入工程/アニール工程を経ることによる結晶欠陥、(5) 結晶中の転位(Dislocation)原子空孔等の点欠陥、(6) GaAs結晶に固有なEL2等の深い準位、に起因すると考えられる。

本発明は、これら低周波での雑音源を、デバイ

(2) スプロセスや結晶成長の工夫によって取り除くことができる、デバイス構造を実現することにより、低周波(10~100MHz)における雑音特性を改善した半導体装置を得ることを目的とする。

〔問題点を解決するための手段〕

上記目的は、従来構造の主な雑音源をなくすことにより達成される。すなわち、イオン注入工程およびそのアニール工程を用いず、しかもEL2等の深い準位が存在しない結晶成長技術を用いてFETを形成する。さらに、ゲート電極構造にはショットキー接合ゲートを用いず、また、n型 $Al_xGa_{1-x}As$ ( $x \geq 0.25$ )のようにDXセンターを含む半導体層を用いないことである。上記のような低周波雑音源を取り除いたFET構造を案出した。

〔作用〕

上記のようなデバイス構造上の工夫をすることによって、それぞれの原因を取り除き低周波における雑音特性を改善した。すなわち、n型 $Al_xGa_{1-x}As$ 中のDXセンター数10mV程度の準位

- 3 -

については、n型ドーピング層におけるDXセンターがない領域を使用し、ショットキー接合ゲート電極を避けてオーミック接触するゲート電極を用い、ソース(ドレイン)・ゲート間隙部分にはキャップ層を挿入するなどして、飽動層の表面をなるべく露出させない工夫をし、イオン注入工程/アニール工程による結晶欠陥を防ぐために、上記工程を使用しないでエビタキシ技術を用い、また、GaAs結晶に固有なEL2等の深い準位に対しては、分子線エビタキシ法あるいはガスソースMBE法によることによって、低周波(大略10~100MHz)での雑音を減らすことができた。その結果、従来のGaAs MESFETあるいは2DEG-FETにおいては、 $10^8$  Hzの周波数で $1000 \text{ nJrms}/\sqrt{\text{Hz}}$ 程度の雑音レベルであったものが、 $1 \text{ nJrms}/\sqrt{\text{Hz}}$ 程度の雑音レベルにまで低減することができた。

〔実施例〕

つぎに本発明の実施例を図面とともに説明する。第1図は本発明による半導体装置の第1実施例を

- 4 -

示す図で、(a)は断面図、(b)は上記実施例のゲート部分におけるエネルギーバンド図、(c)は上記実施例に適用する超格子バッファ層を示す図、第2図は本発明の第2実施例を示す図で、(a)は断面図、(b)は上記実施例のゲート部分におけるエネルギーバンド図、(c)は上記実施例の応用例を示す断面図、(d)は上記応用例のゲート部分におけるエネルギーバンド図、第3図は本発明の第3実施例を示す断面図である。

第1図に示す第1実施例は、ヘテロ接合FETに本発明を適用した場合を示し、第1図(a)において、分子線エビタキシ法(MBE)により半絶縁性GaAs基板10上にアンドープGaAs11を5000Å、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 含有するn型GaAs12を250Å、アンドープ $Al_xGa_{1-x}As$ ( $x$ は通常0.1~0.4の範囲で選ぶことが多い)13を150Å、Beを $1 \times 10^{18} \text{ cm}^{-3}$ 含有するp型GaAs層16を4000Åを形成した。その後、 $CCl_4/F_2/He$ 混合ガスを用いた反応性イオンエッチング(RIE)等を用いてゲート領域の加工を行い、ゲート段差

BEST AVAILABLE COPY

部分の側壁に  $\text{SiO}_2$  層 23 を 1000 Å 程度被着させた。ゲート電極メタル 22 としては  $\text{Au}/\text{Mo}/\text{AuZn}/\text{Au}$  を用いてリフトオフプロセスにより形成した。 $\text{p}^+\text{GaAs}16$  として、最上部分だけを  $6 \times 10^{18} \text{ cm}^{-3}$  程度の Be を含有した  $\text{p}^+\text{GaAs}$  層、あるいは同程度のドーピングレベルを有する  $\text{p}^+\text{In}_x\text{Ga}_{1-x}\text{As}$  層を挿入して、 $\text{Mo}/\text{Au}$  あるいは  $\text{W}$ ,  $\text{WSi}$  等のゲートメタルを用いて形成してもよい。

つぎに、有機金属熱分解法 (MOCVD) を用いて、ソース、ドレイン領域に対し  $\text{n}^+\text{GaAs}17$  を選択成長し、 $\text{AuGe}/\text{Ni}/\text{Au}$  ソース、ドレイン電極 20, 21 を形成した。デバイス形成プロセスでは通常  $\text{n}^+\text{GaAs}17$  を選択成長したのち、ソース、ドレイン金属 20, 21 およびゲート金属 22 を形成することが多い。 $\text{n}^+\text{GaAs}17$  は  $\text{n}^+\text{In}_x\text{Ga}_{1-x}\text{As}$  あるいは  $\text{n}^+\text{Ge}$  を用いてもよい。ゲート電極 22 下のエネルギーバンド図を第 1 図 (b) に示す。アンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}13$  を用いることで、通常の pn 接合ゲート FET (J-FET) で問題になる pn 接合界面での雑音発生を抑え、ゲート形

(3) 成に  $\text{GaAs}/\text{AlGaAs}$  選択的エッチング技術を用いることができるので、微細なゲート長を実現できる。また、バッファ層 11 を形成する前に、第 1 図 (c) に示すようにアンドープ  $\text{GaAs}11'$ 、アンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}11''$  を 20 Å ずつ周期的に 40 層形成した超格子バッファ層を用いることにより、基板 10 中に存在する転位等の結晶欠陥がエピタキシー層 11, 12, 13, 16 に伝達されるのを防ぐことも可能である。

上記のように低周波雑音源をなくすことで、従来の  $\text{GaAs FET}$  (MESFET あるいは 2-DEG-FET) では  $10^4 \text{ Hz}$  の周波数で、 $100 \text{ nJrms}/\sqrt{\text{Hz}}$  程度の雑音レベルが、 $1 \text{ nJrms}/\sqrt{\text{Hz}}$  程度の雑音レベルに低減できた。

第 2 図に示す第 2 実施例では、第 2 図 (a) に示すように、MOCVD を用いて半絶縁性  $\text{GaAs}$  基板 10 上に  $\text{p}^-\text{GaAs}11$  を  $1 \mu\text{m}$ 、Se を  $5 \times 10^{17} \text{ cm}^{-3}$  含む  $\text{n}$  型  $\text{GaAs}12$  を 500 Å、アンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  (通常では 0.1~0.4 の範囲で選ぶ) 13

- 7 -

を 200 Å、Se を  $5 \times 10^{17} \text{ cm}^{-3}$  分布する  $\text{n}^+\text{GaAs}14$  を 2000 Å を形成したのち、エッチング工程を経てソース 20、ドレイン 21、ゲート電極 22 として  $\text{AuGe}/\text{Ni}/\text{Au}$  をリフトオフ形成した。上記ゲート電極 22 下の対応するエネルギーバンド図を第 2 図 (b) に示す。このように FET 能動層である  $\text{n}$  型  $\text{GaAs}$  層 12 とゲート領域 14, 22 との間に、アンドープ層 13 を挿入することによって、空乏層内に生じる不純物原子に由来する空間電荷に基づく雑音を防ぐことができる。アンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 13 は通常 100 Å ~ 2000 Å の範囲で用いている。

FET 論理振幅を高くするために、ゲート構造として第 2 図 (c) に示すように、アンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層 13 上に Si を  $2 \times 10^{18} \text{ cm}^{-3}$  程度含む  $\text{n}^+\text{GaAs}15$  を 200 Å、さらに Be を  $5 \times 10^{18} \text{ cm}^{-3}$  含む  $\text{p}^+\text{GaAs}16$  を 2000 Å 形成し、ゲート電極金属 22' として  $\text{Mo}/\text{Au}$  あるいは  $\text{Au}/\text{Mo}/\text{AuZn}/\text{Au}$  を用いることができる。対応するエネルギーバンド図を第 2 図 (d) に示す。応用目

- 8 -

的によつては、アンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}13$  および  $\text{n}^+\text{GaAs}15$  の各層を除き、MBE 法で形成した pn 接合ゲート J-FET でも、十分な雑音レベルが得られることもある。

2 次元電子ガスを FET の能動層に用いた第 3 実施例を第 3 図に示す。MBE 法により半絶縁性  $\text{GaAs}$  基板 10 上に、アンドープ  $\text{GaAs}11$  を  $1 \mu\text{m}$ 、さらにアンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}13$  ( $x$  は通常 0.2~0.4 の範囲で選ぶ) を 60 Å ~ 120 Å の間に形成する。すなわち、アンドープ  $\text{GaAs}11$  とアンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}13$  との間に形成される 2 次元電子ガス (2DEG) の電子移動度  $\mu$  は、上記スペーサ層 13 の膜厚に非常に敏感で、高い移動度 ( $8000 \text{ cm}^2/\text{Vs}$  以上: 室温) を実現するには、通常、上記スペーサ層 13 が 60 Å 以上必要である。

さらに、DX センターがない  $\text{Al}$  組成比  $Z$  (通常 0.23 以下) を選んで、 $\text{n}$  型  $\text{Al}_z\text{Ga}_{1-z}\text{As}13'$  を 200 Å、Si を  $2 \times 10^{18} \text{ cm}^{-3}$  含有した状態で MBE を形成し、さらに、アンドープ  $\text{Al}_x\text{Ga}_{1-x}\text{As}13''$  を 100 Å 形成、Be を  $5 \times 10^{18} \text{ cm}^{-3}$  含有す

BEST AVAILABLE COPY

る  $p^+GaAs$  16 を 2500 Å 形成した。その後エッチングを行い、ソース、ドレイン電極 20, 21 を  $AuGe/Ni/Au$  を用いて形成し、ゲートメタル 22' には  $Mo/Au$  あるいは  $Au/Mo/AuZn/Au$  を用いて形成した。第 1 実施例と同様に、ソース、ドレイン領域は  $n^+GaAs$  層を選択的に MOCVD を用いて形成し、ソース、ゲート抵抗  $R_{sg}$  を低減することが可能である。

上記各実施例では  $GaAs$  を材料にした例を説明したが、他の化合物半導体  $InGaAs$ ,  $InP$  等を用いた場合にも容易に拡張することができる。また、上記各実施例では  $GaAs$  基板を用いたが、 $Si$  基板を用いて  $GaAs$  on  $Si$  の系としてデバイス形成を行ってもよい。

〔発明の効果〕

上記のように本発明による半導体装置は、半導体層 I 上に、該半導体層 I よりも電子親和力が小さく不純物濃度が低い半導体層 II を形成し、上記半導体層 II のゲート領域以外を除去して残った上記半導体層 II 上に、 $p$  型半導体層 III を形成してゲ

(4) ート電極とし、上記半導体層 I を能動層とするソース、ドレイン電極を上記半導体層 I 上に設けたことにより、大略 10~100 MHz の低周波における雑音源が、ほとんど取り除かれている構成を有するため、従来の  $GaAs MESFET$ , 2-DEG-FET に比べ、約 1/1000 の雑音特性を実現することができる。

#### 4. 図面の簡単な説明

第 1 図は本発明による半導体装置の第 1 実施例を示す図で、(a) は断面図、(b) は上記実施例のゲート部分におけるエネルギーバンド図、(c) は上記実施例に応用する超格子パッファ層を示す図、第 2 図は本発明の第 2 実施例を示す図で、(a) は断面図、(b) は上記実施例のゲート部分におけるエネルギーバンド図、(c) は上記実施例の応用例を示す断面図、(d) は上記応用例のゲート部分におけるエネルギーバンド図、第 3 図は本発明の第 3 図実施例を示す断面図である。

12...半導体層 I                      13...半導体層 II  
16... $p$  型半導体層                  17... $n^+$  層半導体

- 11 -

20...ソース電極                      21...ドレイン電極  
22, 22'...ゲート電極 ( $p$  形半導体層 III)

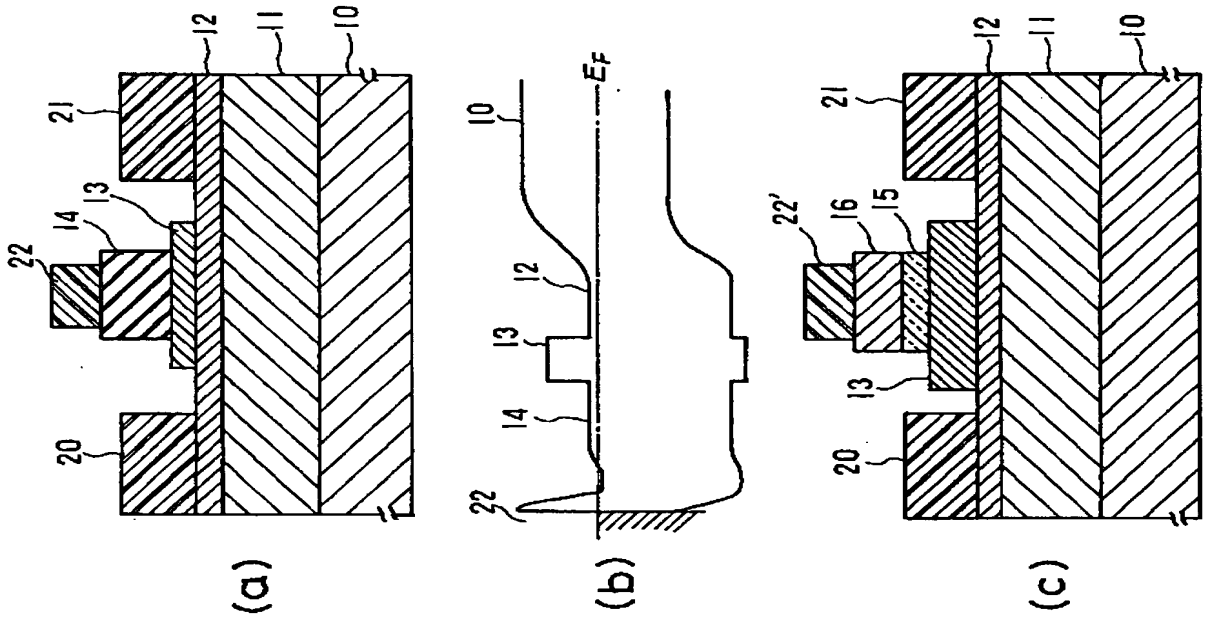
- 12 -

代理人弁理士      中 村 純 之 助

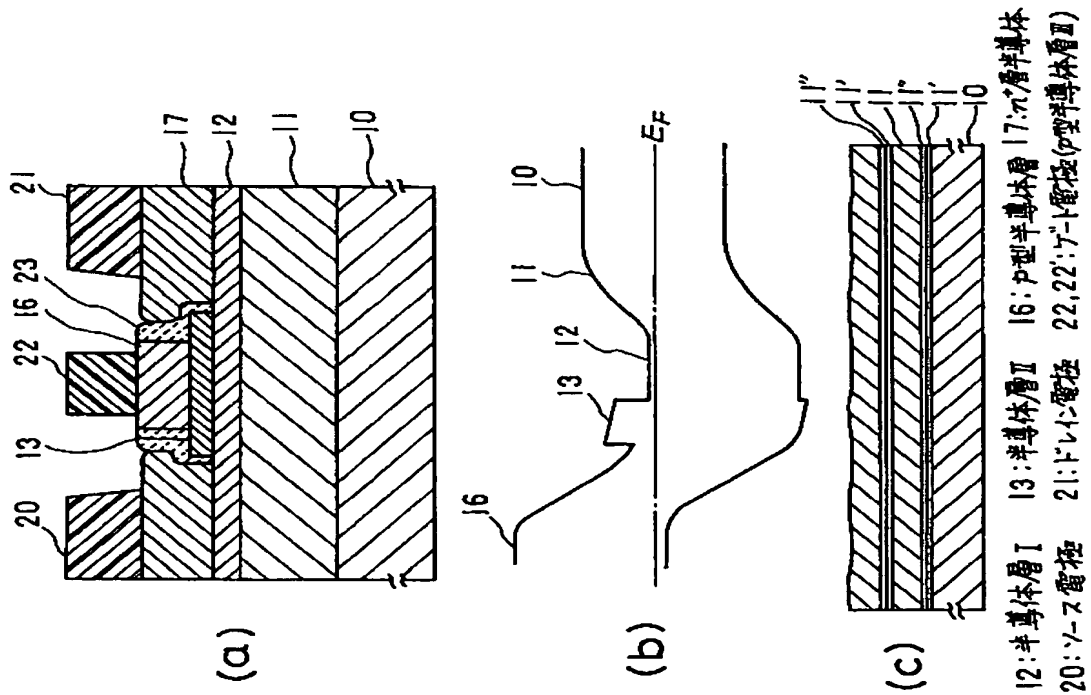
BEST AVAILABLE COPY

(5)

第 2 図



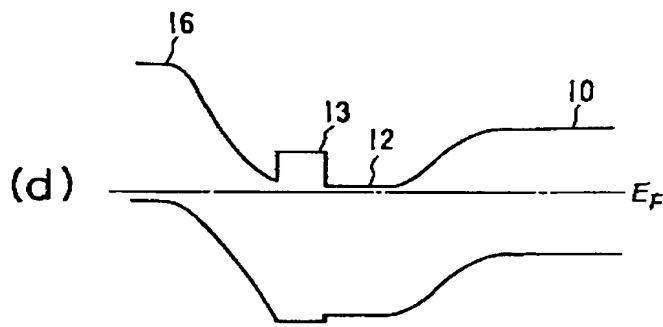
第 1 図



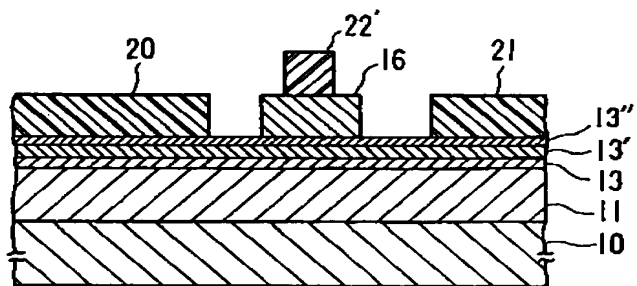
BEST AVAILABLE COPY

(6)

第 2 図



第 3 図



BEST AVAILABLE COPY